

# Application Note



Akademie věd České republiky  
Ústav teorie informace a automatizace AV ČR, v.v.i.

## FG Core - funkční vzorek generátoru kmitočtu

Jiří Kadlec, Leoš Kafka, Jiří Svozil

[kadlec@utia.cas.cz](mailto:kadlec@utia.cas.cz)

### Obsah

1. Úvod.....	2
2. Popis systému.....	2
3. Parametry modulu.....	3
4. Použité/Potřebné vybavení a nástroje.....	4
5. Funkční vzorek generátoru frekvence fg_core pro desku S3E1600.....	4
6. Poděkování.....	6
7. FG_CORE demo.....	7
8. Licensing and availability (anglicky).....	7
9. Disclaimer (anglicky).....	7
10. Reference.....	8

### Revize

Revize	Datum	Autor	Popis změn v dokumentu
0	12.10.2008	Jiří Svozil	Vytvoření dokumentu
1	13.11.2008	Jiří Svozil	Revize dokumentu
2	12.12.2009	Jiří Kadlec	Verze pro ISE 11.3 s popisem příkladu
3	31.12.2010	Jiří Kadlec	Verze pro ISE 12.4 s popisem příkladu
4	2.08.2011	Jiří Kadlec	Verze pro ISE 13.2 s popisem příkladu

## 1. Úvod

Tento dokument popisuje funkční vzorek HW modulu univerzálního generátoru frekvence. Jádro je založeno na UPB (Universal PicoBlaze Wrapper) ) jehož autorem je Ing. Leoš Kafka.

UPB je konfigurovatelný wrapper procesoru PicoBlaze [1]. HW modul stejně tak jako UPB byl vytvořen v rámci projektu VLAM.

Funkční vzorek HW modulu univerzálního generátoru frekvence je vytvořen tak, aby i uživatelé bez rozsáhlých znalostí daného problému usnadnil práci při vytváření aplikací, kde je zapotřebí generátor frekvence.

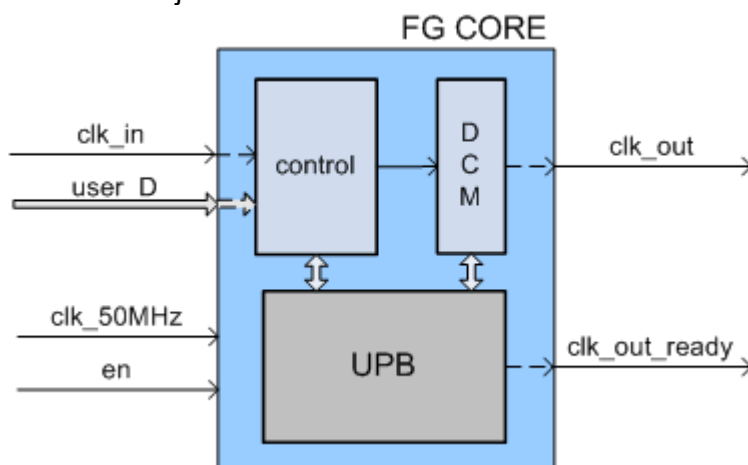
Testovací příklad vychází z příkladu [6g], jehož autorem je Ken Chapman.

## 2. Popis systému

Generátor frekvence je založen na konfigurovatelném wrapperu UPB, který je v tomto případě obsahuje 2 vstupní a 2 výstupní registry.

Modul generátoru umožňuje dělení vstupní uživatelské frekvence danou hodnotou. Výstupní frekvence je dána vztahem  $clk\_out = \frac{clk\_in}{user\_D}$ , kde  $user\_D$  je v rozsahu od 2 do 255.

Blokové schéma modulu znázorňuje Obr. 1.



Obrázek 1 Blokové schéma modulu generátoru frekvence

Vstupními porty modulu jsou uživatelský hodinový signál  $clk\_in$ , osmibitová hodnota dělicího poměru  $user\_D$ , hodinový signál  $clk\_75\text{ MHz}$  a povolení funkce modulu  $en$ .

Výstupní porty jsou výstupní hodinový signál  $clk\_out$  a ukazatel jeho platnosti  $clk\_out\_ready$ .

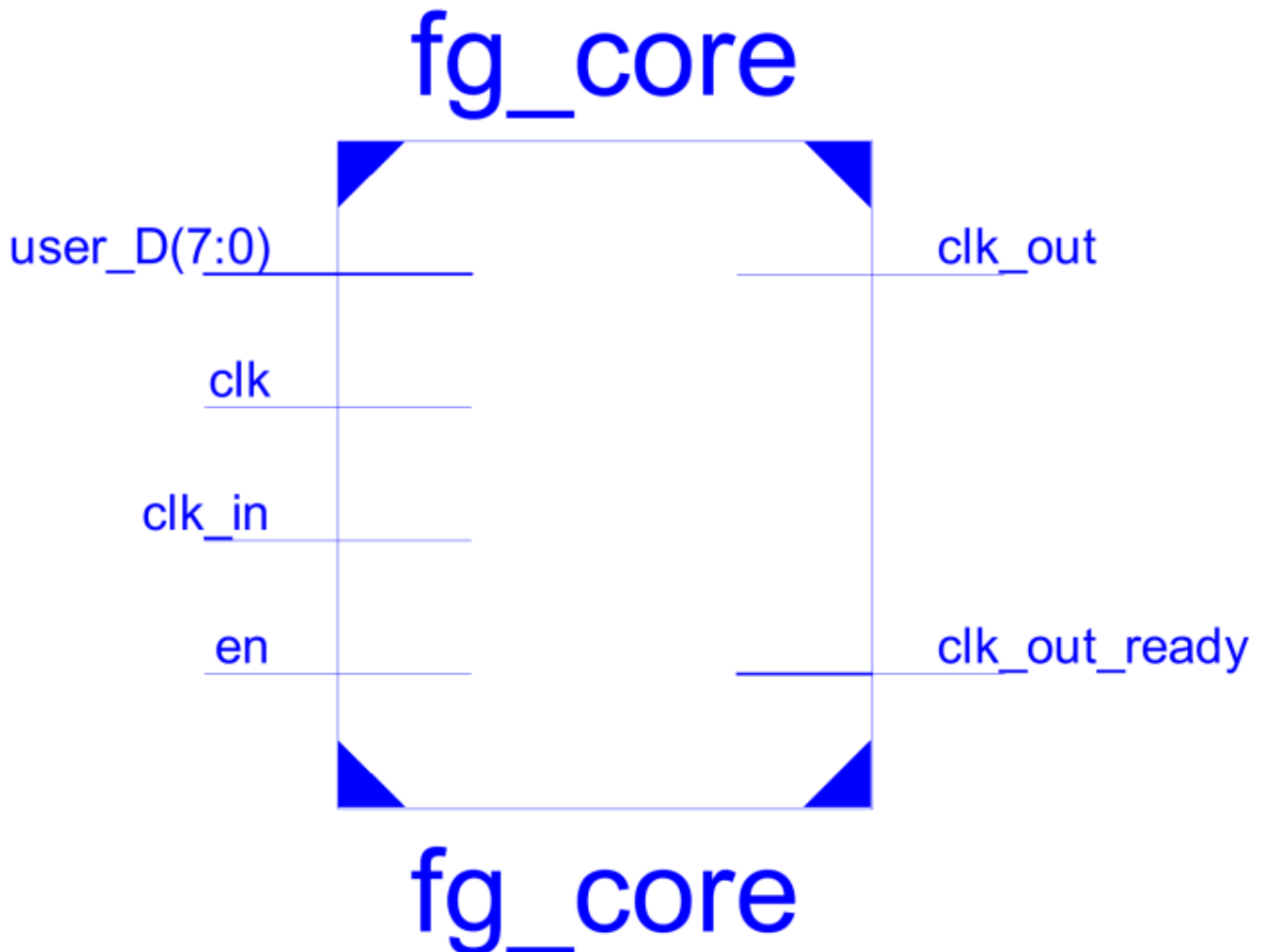
Seznam portů i s popisem zobrazuje Tabulka 1.

Tabulka 1 - Přehled portů modulu generátoru frekvence

Port	Vstup/Výstup	Šířka [bit]	Význam
clk_in	Vstup	1	Uživatelský hodinový signál
user_D	Vstup	8	Dělicí hodnota vstupní frekvence (2-255)
clk_75MHz	Vstup	1	Hodinový signál 75MHz
en	Vstup	1	Povolení funkce modulu (aktivní v log.1)
clk_out	Výstup	1	Výstupní hodinový signál
clk_out_ready	Výstup	1	Ukazatel platnosti signálu clk_out

### 3. Parametry modulu

Rozsah generovaných frekvencí modulu je od 300kHz až do 37,5 MHz.



Obrázek 2 fg\_core v ISE 13.2

Velikost fg\_core modulu uvádí tabulka 2:

**Tabulka 2 - HW nároky modulu generátoru frekvence**

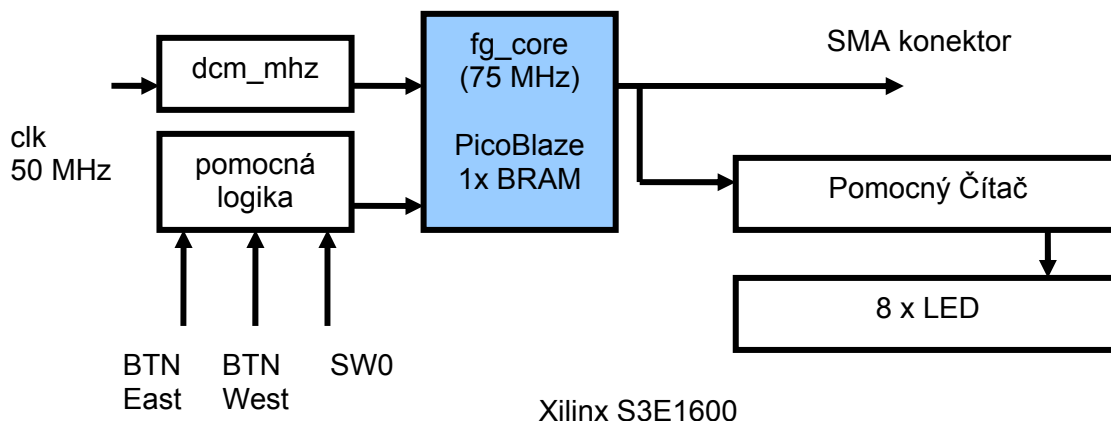
Number of Slices	132
Number of Slice Flip Flops	127
Number of 4 input LUTs	241
Number of BRAMs	1
Number of DCMs	1

#### 4. Použité/Potřebné vybavení a nástroje

Modul generátoru frekvence byl napsán v programovacím jazyce VHDL ve vývojovém prostředí Xilinx ISE verze 13.2 [3]. Program procesoru PicoBlaze byl napsán v assembleru a k překladu byl použit assembler *KCPSM3.exe*, který je součástí balíčku procesoru PicoBlaze [1]. Testovací příklad byl vytvořen na vývojovém kitu Xilinx S31600 [2], viz příložené CD.

#### 5. Funkční vzorek generátoru frekvence fg\_core pro desku S3E1600

Blokové schéma funkčního vzorku zachycuje Obr. 3.



**Obrázek 3: Blokové schéma funkčního vzorku s FG\_CORE**

Hodiny modulu FG\_CORE s kmitočtem 75 MHz jsou generovány v FPGA z hodinového signálu desky 50 MHz pomocí modulu dcm\_mhz. Výstupem generátoru je signál se střídou 1:1 s frekvencí danou vztahem  $clk\_out = 75 \text{ MHz} / user\_D$ . Kde *user\_D* je hodnota od 2 do 255.

Hodnota *user\_D* je nastavována pomocí tlačítek BTN East a BTN West.

Při stavu přepínače SW0 = 0 je na LED zobrazována hodnota nejvyšších 8 bitů 28bitového čítače, který je připojen na výstup *clk\_out*. Frekvence nejnižšího bitu LED tak odpovídá  $clk\_out / 2^{20}$ .

Při SW0 = 1 je na LED zobrazována hodnota user\_D.

Výstup clk\_out je přiveden na konektor desky SMA-CLK.

Data o velikosti a proudovém odběru implementovaného demonstrátoru funkčního vzorku v ISE 13.2 jsou uvedena v tabulce 4.

**Tabulka 4 – Velikost a odběr celého HW**

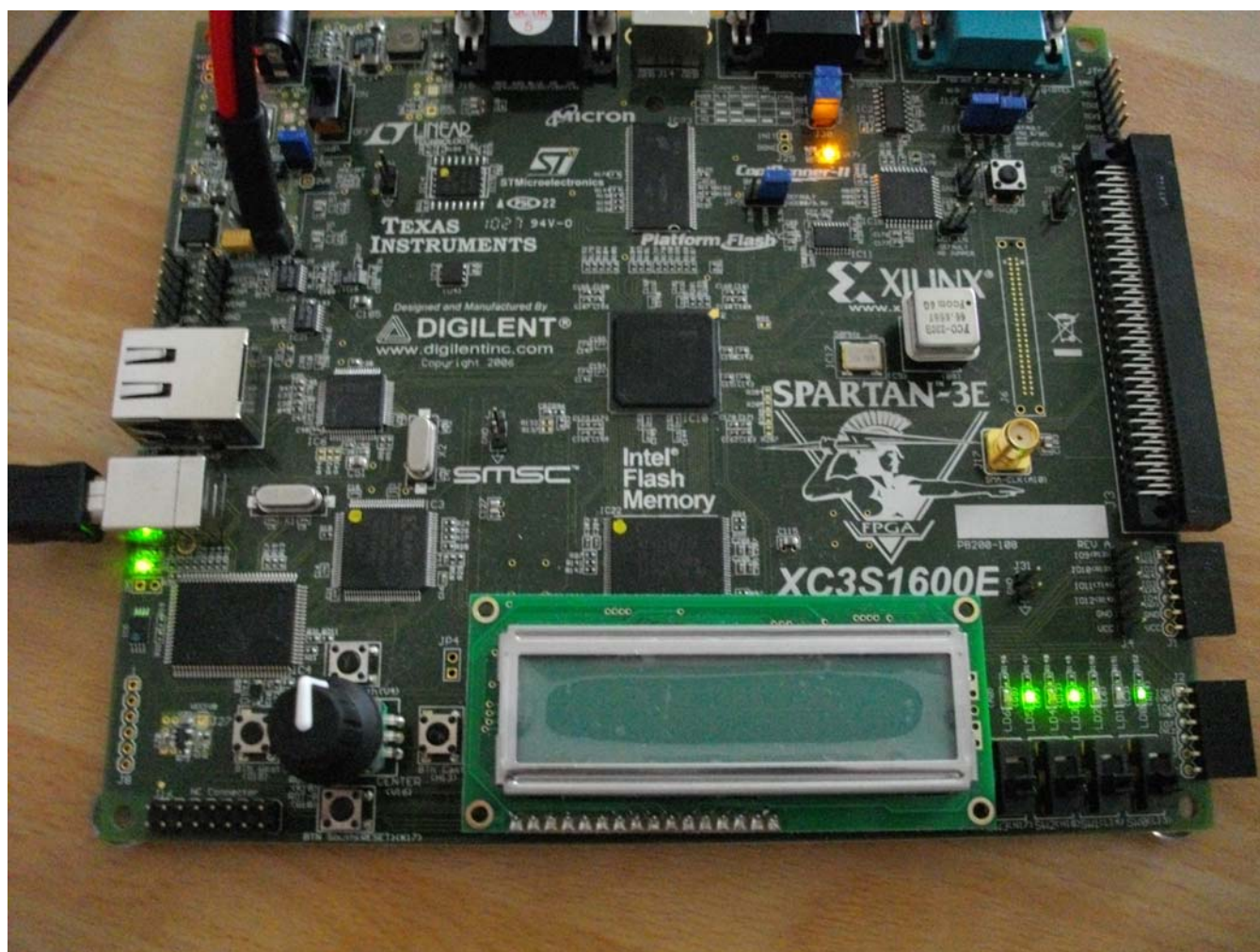
	XC3S1600E-4
	top_3s1600e
Number of Slices	167
Number of Slice Flip Flop	158
Number of 4 input LUTs	293
Number of BRAMs	2
Number of DCMs	2
VCCINT 1,2V (FPGA)	40mA
Odběr na 5,0V zdroji	520mA

Vstupy a výstupy demonstrátoru funkčního vzorku modulu FG\_CORE na desce S3E1600 uvádí tabulka 5.

**Tabulka 5 – Vstupy a výstupy funkčního vzorku FG\_CORE na desce S3E1600**

	<pre> NET "clk_50" PERIOD = 20.0ns HIGH 50%; NET "clk" LOC = "C9"   IOSTANDARD = LVTTTL;  NET "led_hw&lt;7&gt;" LOC = "A8"   IOSTANDARD = LVTTTL   SLEW = SLOW   DRIVE = 8; NET "led_hw&lt;6&gt;" LOC = "G9"   IOSTANDARD = LVTTTL   SLEW = SLOW   DRIVE = 8; NET "led_hw&lt;5&gt;" LOC = "A7"   IOSTANDARD = LVTTTL   SLEW = SLOW   DRIVE = 8; NET "led_hw&lt;4&gt;" LOC = "D13"   IOSTANDARD = LVTTTL   SLEW = SLOW   DRIVE = 8; NET "led_hw&lt;3&gt;" LOC = "E6"   IOSTANDARD = LVTTTL   SLEW = SLOW   DRIVE = 8; NET "led_hw&lt;2&gt;" LOC = "D6"   IOSTANDARD = LVTTTL   SLEW = SLOW   DRIVE = 8; NET "led_hw&lt;1&gt;" LOC = "C3"   IOSTANDARD = LVTTTL   SLEW = SLOW   DRIVE = 8; NET "led_hw&lt;0&gt;" LOC = "D4"   IOSTANDARD = LVTTTL   SLEW = SLOW   DRIVE = 8;  NET "btn_east" LOC = "H13"   IOSTANDARD = LVTTTL   PULLDOWN; NET "btn_west" LOC = "D18"   IOSTANDARD = LVTTTL   PULLDOWN;  NET "switch_hw" LOC = "L13"   IOSTANDARD = LVTTTL   PULLUP;  NET "sma_out" LOC = "A10"   IOSTANDARD = LVTTTL; </pre>
--	---

Demonstrátor funkčního vzorku modulu FG\_CORE na desce S3E1600 je zobrazen na obr. 4.



Obrázek 4: Funkční vzorek modulu FG\_CORE na desce S3E1600

## 6. Poděkování

Návrh a realizace tohoto funkčního vzorku byla podpořena projektem ministerstva školství a tělovýchovy číslo 2C06008, <http://www.vlam.cz>.



## 7. FG\_CORE demo

S3E1600\ impl\ fg_core\ fg_core.ngc	Modul převodníku
dcm_mhz\ dcm_mhz.ngc	Modul generující hodinový signál 75 MHz
top_3s1600e\ ...	Projekt pro překlad funkčního vzorku pomocí Xilinx ISE 13.2
top_3s1600e_bit\ top_3s1600e_mcf\ src\ ucf\ top_3s1600e.ucf	Konfigurační data funkčního vzorku Konfigurační data pro platform flash  Definice vstupů a výstupů pro 3s1600e
vhdl\ top_3s1600e.vhd	Zdrojový kód ve VHDL (top level)

## 8. Licensing and availability (anglicky)

This functional sample is provided in form of netlist compiled by Xilinx ISE 13.2 [3] for the Xilinx xc3s1600e-4fg320 [2]. If you plan to use this functional sample netlist for education purposes, you can contact UTIA AV CR, v.v.i. for support. The contact person in UTIA is Jiri Kadlec [kadlec@utia.cas.cz](mailto:kadlec@utia.cas.cz) tel. +420 2 6605 2216 fax. +420 2 6605 2511.

If you consider commercial use of this functional sample in form of netlist compiled by Xilinx ISE 13.2 [3] for the Xilinx xc3s1600e-4fg320 Fpga or if you need the source code of this functional sample, please contact UTIA AV CR v.v.i. Commercial End User License Agreement (Commercial EULA) between you and UTIA AV CR, v.v.i. needs to be signed. The contact person in UTIA is Jiri Kadlec [kadlec@utia.cas.cz](mailto:kadlec@utia.cas.cz) tel. +420 2 6605 2216 fax. +420 2 6605 2511.

## 9. Disclaimer (anglicky)

This disclaimer is not a license and does not grant any rights to the materials distributed herewith. Except as otherwise provided in a valid license issued to you by UTIA AV CR v.v.i., and to the maximum extent permitted by applicable law:

- (1) THIS APPLICATION NOTE AND RELATED MATERIALS LISTED IN THE PACKAGE CONTENT ARE MADE AVAILABLE "AS IS" AND WITH ALL FAULTS, AND UTIA AV CR V.V.I. HEREBY DISCLAIMS ALL WARRANTIES AND CONDITIONS, EXPRESS, IMPLIED, OR STATUTORY, INCLUDING BUT NOT LIMITED TO WARRANTIES OF MERCHANTABILITY, NON-INFRINGEMENT, OR FITNESS FOR ANY PARTICULAR PURPOSE; and
- (2) UTIA AV CR v.v.i. shall not be liable (whether in contract or tort, including negligence, or under any other theory of liability) for any loss or damage of any kind or nature related to, arising under or in connection with these materials, including for any direct, or any indirect, special, incidental, or consequential loss or damage (including loss of data, profits, goodwill, or any type of loss or damage suffered as a result of any action brought by a third party) even if such damage or loss was reasonably foreseeable or UTIA AV CR v.v.i. had been advised of the possibility of the same.

UTIA AV CR v.v.i. products are not designed or intended to be fail-safe, or for use in any application requiring fail-safe performance, such as life-support or safety devices or systems, Class III medical devices, nuclear facilities, applications related to the deployment of airbags, or any other applications that could lead to death, personal injury, or severe property or environmental damage (individually and collectively, "Critical Applications"). Customer assumes the sole risk and liability of any use of UTIA AV CR v.v.i. products in Critical Applications, subject only to applicable laws and regulations governing limitations on product liability.

## 10. Reference

- [1] PicoBlaze 8-bit Embedded Processor UG129 June 22, 2011  
[http://www.xilinx.com/support/documentation/ip\\_documentation/ug129.pdf](http://www.xilinx.com/support/documentation/ip_documentation/ug129.pdf)
- [2] MicroBlaze Development Kit Spartan-3E 1600E Edition User Guide UG257 (v1.1) December 5, 2007  
[http://www.xilinx.com/support/documentation/boards\\_and\\_kits/ug257.pdf](http://www.xilinx.com/support/documentation/boards_and_kits/ug257.pdf)
- [3] Xilinx ISE 13.2, <http://www.xilinx.com/>
- [4] řadič HD44780 <http://www.datasheetarchive.com/HD44780-datasheet.html>
- [5] Spartan3 datasheet [http://www.xilinx.com/support/documentation/data\\_sheets/ds099.pdf](http://www.xilinx.com/support/documentation/data_sheets/ds099.pdf)
- [6] Xilinx Spartan-3E FPGA Starter Kit Board Design Examples  
[http://www.xilinx.com/products/boards/s3estarter/reference\\_designs.htm](http://www.xilinx.com/products/boards/s3estarter/reference_designs.htm)
- [6a] Ken Chapman, Initial Design for Spartan-3E Starter Kit (LCD Display Control), ISE 8.1i, Xilinx Ltd 16th, February 2006  
[http://www.xilinx.com/products/boards/s3estarter/files/s3esk\\_startup.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_startup.pdf)
- [6b] Ken Chapman, Rotary Encoder Interface for Spartan-3E Starter Kit, ISE 8.1i, Xilinx Ltd, 20th February 2006  
[http://www.xilinx.com/products/boards/s3estarter/files/s3esk\\_rotary\\_encoder\\_interface.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_rotary_encoder_interface.pdf)
- [6c] Ken Chapman, Amplifier and A/D Converter Control for Spartan-3E Starter Kit, ISE 8.1i, Xilinx Ltd, 23rd February 2006  
[www.xilinx.com/products/boards/s3estarter/files/s3esk\\_picoblaze\\_amplifier\\_and\\_adc\\_control.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_picoblaze_amplifier_and_adc_control.pdf)
- [6d] Ken Chapman, D/A Converter Control for Spartan-3E Starter Kit, ISE 8.1i, Xilinx Ltd, 21st February 2006  
[http://www.xilinx.com/products/boards/s3estarter/files/s3esk\\_picoblaze\\_dac\\_control.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_picoblaze_dac_control.pdf)
- [6e] Ken Chapman, NOR FLASH Programmer for Spartan-3E Starter Kit, ISE 8.1i, Xilinx Ltd, March 2006  
[http://www.xilinx.com/products/boards/s3estarter/files/s3esk\\_picoblaze\\_nor\\_flash\\_programmer.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_picoblaze_nor_flash_programmer.pdf)
- [6f] Ken Chapman, SPI FLASH Programmer for Spartan-3E Starter Kit, ISE 7.1i, Xilinx Ltd, November 2004  
[http://www.xilinx.com/products/boards/s3estarter/files/s3esk\\_picoblaze\\_spi\\_flash\\_programmer.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_picoblaze_spi_flash_programmer.pdf)
- [6g] Ken Chapman, Frequency Generator for Spartan-3E Starter Kit, ISE 8.2i, Xilinx Ltd, 18th July 2006  
[http://www.xilinx.com/products/boards/s3estarter/files/s3esk\\_frequency\\_generator.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_frequency_generator.pdf)
- [6h] Ken Chapman, Frequency Counter for Spartan-3E Starter Kit (with test oscillators), ISE 8.1i, Xilinx Ltd, 7th March 2006  
[http://www.xilinx.com/products/boards/s3estarter/files/s3esk\\_frequency\\_counter.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_frequency_counter.pdf)
- [6i] Ken Chapman, Software Implementation of Pulse Width Modulation (PWM). A reference design using the Spartan-3E Starter Kit, ISE 8.1i, Xilinx Ltd, 24th May 2006  
[http://www.xilinx.com/products/boards/s3estarter/files/s3esk\\_picoblaze\\_pwm\\_control.pdf](http://www.xilinx.com/products/boards/s3estarter/files/s3esk_picoblaze_pwm_control.pdf)